

СИНТЕЗ ДЕДУКТИВНИХ ФОРМУЛ ТРАНСПОРТУВАННЯ НЕСПРАВНОСТЕЙ

Кирило Артемович Гайденко

магістрант кафедри автоматизації проектування обчислювальної техніки
Харківський національний університет радіоелектроніки, Україна

Ганна Володимирівна Хаханова

ORCID ID: 0000-0002-4528-6861

канд. техн. наук,

доцент кафедри автоматизації проектування обчислювальної техніки
Харківський національний університет радіоелектроніки, Україна

Науковий керівник: Світлана Викторівна Чумаченко

ORCID ID: 0000-0001-8913-1194

д-р техн. наук, професор,

завідувач кафедри автоматизації

проектування обчислювальної техніки

Харківський національний університет радіоелектроніки, Україна

Вступ. Питання, пов'язані зі створенням моделей та методів аналізу несправностей комп'ютерних систем, є актуальними у зв'язку з необхідністю зменшення часу проектування [1]. Основні проблеми у галузі моделювання несправностей визначаються як: 1) висока обчислювальна складність алгоритмів комбінаторного аналізу на реєстровому рівні опису моделі [4, 6-9]; 2) складність алгоритмів моделювання та симуляції послідовних схем, пов'язана з непередбачуваною кількістю ітерацій [6-9]; 3) значний обсяг структур даних для аналізу цифрових систем на кристалі, що негативно позначається на продуктивності методів моделювання несправностей та синтезу тестів [2-6]; 4) складність аналізу та синтезу тестів для логіки великої розмірності та їх структурна складність, пов'язана з розгалуженнями, що сходяться [10-12]; 5) паралельне вирішення завдань тестування та імітації цифрових пристроїв [2-5, 7-9].

Характеристика дослідження. Мета дослідження – суттєве зменшення обчислювальної складності алгоритму синтезу дедуктивних формул для транспортування списків несправностей через логічні елементи та схеми RTL-рівня за рахунок використання паралельних реєстрових процедур аналізу векторних структур даних.

Об'єкт дослідження – цифрові системи на кристалах. Предмет дослідження – матричні структури, що використовуються для створення методів і алгоритмів паралельного розподілу та об'єднання векторів рядків і стовпців.

Для досягнення поставленої мети необхідно вирішити такі задачі: проаналізувати сучасні технологічні тенденції; вдосконалити процес синтезу формул для транспортування списків несправностей; розробити відповідний алгоритм синтезу дедуктивних векторів. У процесі реалізації завдань дослідження виконано огляд моделей, методів та технологічних рішень, орієнтованих на створення ефективних засобів, які надають можливість виконувати аналіз несправностей цифрових пристроїв. Визначено основні проблеми у галузі моделювання несправностей. Зроблено висновок, що реалізація дедуктивного моделювання на основі векторної форми опису надмірної логіки транспортування несправностей

надасть можливість суттєво спростити алгоритми моделювання для обробки цифрових схем великої розмірності.

Синтез. На основі різних функцій та однакових тестів будуються різні дедуктивні формули для транспортування несправностей [13]. Виконується синтез дедуктивних функцій транспортування несправностей для логічного елемента AND на підставі рівняння $L = T \oplus F$, де L – несправність, T – тест-вектор, F – функція-вектор (рис. 1). Ці моделі дозволяють протранспортувати всі вхідні несправності від зовнішніх входів до зовнішніх виходів. Наводиться синтез дедуктивних векторів (формул) для транспортування списків вхідних несправностей через логічний елемент хог на підставі того ж рівняння (рис. 2,а). Подається процедура синтезу векторів несправностей L , які є залежними від тест-вектора T і функції-вектора F (рис. 2,б). Цікавим є той факт, що аналітична формула $L = \bar{X}_1 X_2 \vee X_1 \bar{X}_2$ транспортування списків вхідних дефектів на вихід логічного хог-елемента є однаковим для всіх тестових вхідних наборів. На основі різних функцій та однакових тестів побудовано різні дедуктивні формули для транспортування несправностей. Наведені моделі дозволяють протранспортувати всі вхідні несправності від зовнішніх входів до зовнішніх виходів.

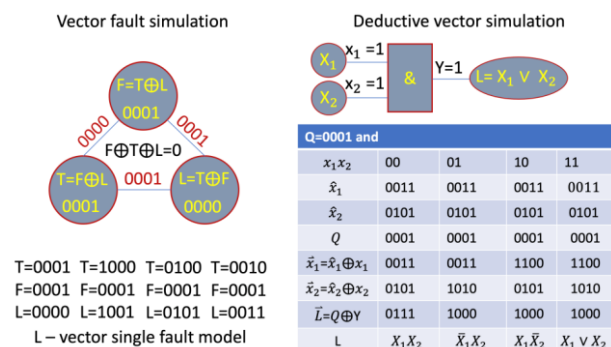


Рис. 1. Дедуктивно-векторне and-logic моделювання
[авторська розробка]

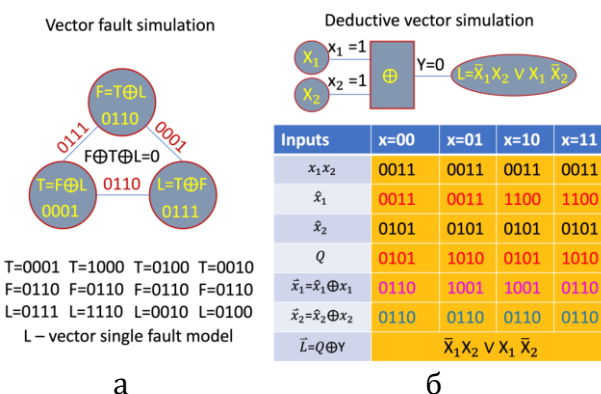


Рис. 2. Дедуктивно-векторне хог-logic моделювання: а – синтез дедуктивних векторів; б – синтез векторів несправностей
[авторська розробка]

Алгоритм. Розглядається алгоритм синтезу дедуктивних векторів, який відрізняється технологічною простотою паралельної обробки таблиць істинності та дає можливість створювати структурно-логічні умови для моделювання несправностей у цифрових системах вентильного, регістрового та системного рівнів опису. Алгоритм можна звести до однієї процедури – отримання дедуктивної таблиці істинності для вхідного набору заданої функціональності. Синтез дедуктивної таблиці істинності за правилом: $L = T \oplus F \rightarrow L_i = T_i \oplus F_i$. Тут T – тестовий набір даних (рядок таблиці істинності) за вхідними та вихідним координатами; T_i – координата вхідного набору; F – таблиця істинності для заданої функціональності; F_i – вектор стовпець таблиці істинності; L – дедуктивна таблиця істинності; L_i – вектор стовпець дедуктивної таблиці істинності; $\oplus$ – координатно-векторна операція над стовпцями. Алгоритм синтезу дедуктивних векторів відрізняється технологічною простотою паралельної обробки таблиць істинності. Це дає можливість створювати структурно-логічні умови для моделювання несправностей у цифрових системах вентильного, регістрового та системного рівнів опису.

Висновки. Виконано синтез дедуктивних таблиць істинності за правилом $L = T \oplus F$, який відрізняється застосуванням єдиної векторно-координатної паралельної хог-операції, що дозволяє забезпечити транспортування несправностей

через функціональний елемент довільної складності. Обробка векторних моделей є більш технологічною процедурою, де обчислювальна складність отримання дедуктивних формул транспортування дефектів функції від n змінних дорівнює $Q=n(N+F)$. Якщо врахувати, що $N+F$, як процедури інверсії векторів N та їх подальшого складання F у вектор-функцію (об'єднання або перетин) дорівнюють числу змінних $N+F=n$, то оцінка обчислювальної складності у векторних операціях дорівнює $Q=n(N+F)=n^2$. При цьому слід зазначити, що аналітичний алгоритм синтезу дедуктивних формул має кубічну обчислювальну складність. Перспективи дослідження визначаються тим, що отримані результати можуть бути використані для вирішення завдань технічної діагностики, машинного навчання, пошуку подібності-відмінності між процесами та явищами.

Список використаних джерел:

1. Michael J. Biercuk & Thomas M. Stace. Quantum Computing's Achilles. Unavoidable errors and how to fix them. IEEE Spectrum, July 2022. P. 28–33, 46.
2. M. Renovell, J. M. Portal, J. Figueras and Y. Zorian, "Testing the interconnect of RAM-based FPGAs," in IEEE Design & Test of Computers, vol. 15, no. 1, pp. 45-50, Jan.-March 1998, doi: 10.1109/54.655182.
3. G. Harutunyan, V. A. Vardanian and Y. Zorian, "Minimal March tests for unlinked static faults in random access memories," 23rd IEEE VLSI Test Symposium (VTS'05), 2005, pp. 53-59, doi: 10.1109/VTS.2005.56.
4. M. Psarakis, D. Gizopoulos, A. Paschalis and Y. Zorian, "Sequential fault modeling and test pattern generation for CMOS iterative logic arrays," in IEEE Transactions on Computers, vol. 49, no. 10, pp. 1083-1099, Oct. 2000, doi: 10.1109/12.888044.
5. M. Renovell, J. M. Portal, J. Figueras and Y. Zorian, "RAM-based FPGAs: a test approach for the logic," Proceedings Design, Automation and Test in Europe, 1998, pp. 82-88, doi: 10.1109/DATE.1998.655840.
6. M. Psarakis, D. Gizopoulos, A. Paschalis and Y. Zorian, "Sequential fault modeling and test pattern generation for CMOS iterative logic arrays," in IEEE Transactions on Computers, vol. 49, no. 10, pp. 1083-1099, Oct. 2000, doi: 10.1109/12.888044.
7. U. Reinsalu, J. Raik, R. Ubar and P. Ellervee, "Fast RTL Fault Simulation Using Decision Diagrams and Bitwise Set Operations," 2011 IEEE International Symposium on Defect and Fault Tolerance in VLSI and Nanotechnology Systems, Vancouver, BC, 2011, pp. 164-170, doi: 10.1109/DFT.2011.42.
8. R. Ubar, S. Devadze, J. Raik and A. Jutman, "Fast Fault Simulation for Extended Class of Faults in Scan Path Circuits," 2010 Fifth IEEE International Symposium on Electronic Design, Test & Applications, Ho Chi Minh City, 2010, pp. 14-19, doi: 10.1109/DELTA.2010.32.
9. U. Reinsalu, J. Raik and R. Ubar, "Register-transfer level deductive fault simulation using decision diagrams," 2010 12th Biennial Baltic Electronics Conference, 2010, pp. 193-196, doi: 10.1109/BEC.2010.5631842.
10. Pomeranz and S. M. Reddy, "Unspecified Transition Faults: A Transition Fault Model for At-Speed Fault Simulation and Test Generation," in IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, vol. 27, no. 1, pp. 137-146, Jan. 2008, doi: 10.1109/TCAD.2007.907000.
11. Pomeranz and S. M. Reddy, "Test data compression based on output dependence," 2003 Design, Automation and Test in Europe Conference and Exhibition, 2003, pp. 1186-1187, doi: 10.1109/DATE.2003.1253793.
12. Pomeranz and S. M. Reddy, "Unspecified Transition Faults: A Transition Fault Model for At-Speed Fault Simulation and Test Generation," in IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, vol. 27, no. 1, pp. 137-146, Jan. 2008, doi: 10.1109/TCAD.2007.907000.
13. Hahanova A. V. Developing method of vector synthesis deductive logic for computer systems fault analysis. Herald of Advanced Information Technology. 2022; Vol. 5 No.2: 102–112. DOI: <https://doi.org/10.15276/hait.05.2022.8>